

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of
the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- BLURRY OR ILLEGIBLE TEXT
- SKEWED/SLATED IMAGES
- COLORED PHOTOS
- BLACK OR VERY DARK BLACK AND WHITE PHOTOS
- UNDECIPHERABLE GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-330259

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H01L 21/82
G06F 17/50
H03K 19/0948

(21)Application number : 11-054970

(71)Applicant : MOTOROLA INC

(22)Date of filing : 03.03.1999

(72)Inventor : SLAMAN N SHAMON

(30)Priority

Priority number : 98 49180

Priority date : 27.03.1998

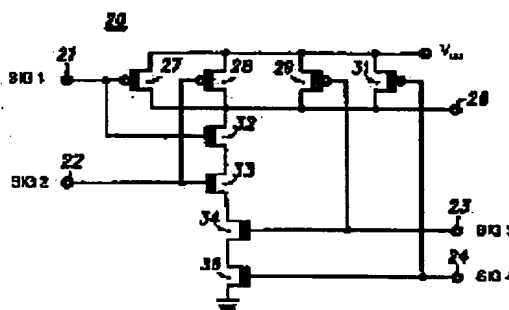
Priority country : US

(54) METHOD FOR DESIGNING INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for designing an integrated circuit, using an idle mode vector.

SOLUTION: This method comprises providing of a general list of transistors 27, 28, 29, 31, 32, 33, 34, and 36 of an integrated circuit 20. The transistors of the integrated circuit 20 have initial threshold voltage. The integrated circuit 20 is put in idle operation mode, by applying idle mode vector to inputs 21, 22, 23, and 24 of the integrated circuit 20. The threshold voltages of the transistors 27, 28, 29, 31, 32, 33, 34, and 36 of the integrated circuit 20, which being in 'off' operation mode, block current path to a ground electric potential are set to a threshold voltage higher than the initial threshold voltage. The threshold voltages of remaining transistors 27, 28, 29, 31, 32, 33, 34, and 36 of the integrated circuit 20 are set to a threshold voltage smaller than the initial threshold voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

[Date of extinction of right]

Copyright (C); 1998,2000 Japanes Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-330259

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

C

G 0 6 F 17/50

G 0 6 F 15/60

6 5 8 T

H 0 3 K 19/0948

H 0 3 K 19/094

B

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号 特願平11-54970

(22) 出願日 平成11年(1999)3月3日

(31) 優先権主張番号 049180

(32) 優先日 1998年3月27日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 スレイマン・エヌ・シャモン

アメリカ合衆国アリゾナ州フェニックス、
イースト・ロック・レン・ロード4108

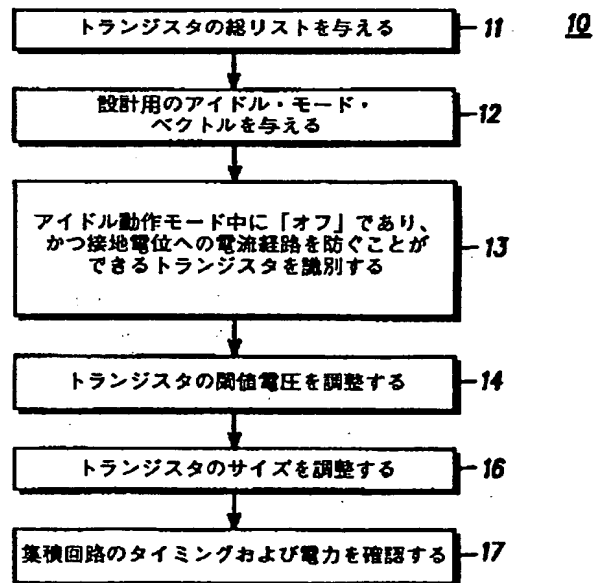
(74) 代理人 弁理士 大貫 進介 (外1名)

(54) 【発明の名称】 集積回路を設計する方法

(57) 【要約】

【課題】 アイドル・モード・ベクトルを利用して集積回路20を設計する方法を提供する。

【解決手段】 本方法は、集積回路20のトランジスタ27、28、29、31、32、33、34、36の総リストを与えることを含む。集積回路20の各トランジスタは、初期閾値電圧を有する。集積回路20は、アイドル・モード・ベクトルを集積回路20の入力21、22、23、24に印加することによって、アイドル動作モードにされる。アイドル動作モード中に「オフ」であり、かつ接地電位への電流経路を防ぐことができる集積回路20のトランジスタ27、28、29、31、32、33、34、36の閾値電圧は、初期閾値電圧よりも大きい閾値電圧に設定される。集積回路20の残りのトランジスタ27、28、29、31、32、33、34、36の閾値電圧は、初期閾値電圧よりも小さい閾値電圧に設定される。



【特許請求の範囲】

【請求項1】 集積回路を設計するためのコンピュータ実行方法(10)であって：集積回路(20)の複数のトランジスタ(27, 28, 29, 31, 32, 33, 34, 36)の総リストを与える段階(11)；およびアイドル・モード・ベクトルに従って、前記複数のトランジスタのうち少なくとも一つのトランジスタの閾値電圧を修正する段階(14)；によって構成されることを特徴とするコンピュータ実行方法。

【請求項2】 集積回路(20)において伝播遅延および漏れ電流を低減する方法であって：アイドル・モード・ベクトルを利用して、前記集積回路(20)をスタンバイ動作モードにする段階；および前記アイドル・モード・ベクトルに従って、前記集積回路(20)の複数のトランジスタ(27, 28, 29, 31, 32, 33, 34, 36)の閾値電圧を修正する段階；によって構成されることを特徴とする方法。

【請求項3】 トランジスタ閾値電圧を設定するコンピュータ実行方法(10)であって、アイドル・モード刺激ベクトルに従って、複数のトランジスタ(27, 28, 29, 31, 32, 33, 34, 36)のうちの第1トランジスタの閾値電圧を調整する段階(14)によって構成されることを特徴とするコンピュータ実行方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一般に、集積回路設計に関し、さらに詳しくは、高速化および省電力化のため回路を最適化する際にデバイス閾値電圧を選択することに関する。

【0002】

【従来の技術】 スピードおよび電力消費は、特にページャ、セルラ電話、コードレス電話などのバッテリー用途では重要な集積回路(IC)設計事項である。全電力消費は、一般に2つの成分、すなわち動的電力(dynamic power)と静的電力(static power)に分けられる。動的電力とは、増幅、スイッチングそして一般的にトランジスタをある状態から別の状態に駆動するため、および関連する容量性負荷を克服するために回路の通常動作時に消費される電力のことである。静的電力とは、回路が非動作状態であるスタンバイ・モード時にゼロ入力漏れ電流(quiescent leakage current)によって消費される電力のことである。バッテリー寿命は、通常動作およびスタンバイ・モードの両方で回路の電力消費を最小限に抑えることによって延長できる。

【0003】 電力消費を低減する一般的な方法として、供給電圧を単純に低減する方法がある。動的電力消費は、供給電圧の二乗の関数である。従って、供給電圧を低減することは、動的電力消費を低減することに著しい効果がある。しかし、半導体プロセスによって決定され

るある点で、デバイスが導通し始めるデバイス閾値に供給電圧が近づくにつれて、閾値下漏れ電流(sub-threshold leakage current)は、動的電力が実質的に低減されたとしても、依然バッテリーを消費することがある。

【0004】

【発明が解決しようとする課題】 従って、高速動作を可能にし、しかも集積回路による全電力消費を低減する、すなわち、動的および静的電力消費の両方を低減する集積回路を設計する方法を設けることは有利である。

【0005】

【実施例】 本発明は、多重閾値電圧プロセス(multiple threshold voltage process)を利用して、漏れ電流やスピードなどのパラメータを最適化するために集積回路を設計あるいは再設計する方法を提供する。トランジスタの閾値電圧(V_T)は、トランジスタがターンオンし、導通し始める点を定める。多重閾値電圧プロセスを利用することにより、集積回路のトランジスタは、互いに隣接していても、異なる閾値電圧を有するように設定できる。低閾値電圧を有するトランジスタは、低 V_T トランジスタといい、高閾値電圧を有するトランジスタは高 V_T トランジスタという。一例として、低 V_T トランジスタは、約200mV~400mVの範囲の閾値電圧を有し、高 V_T トランジスタは、約410mV~800mVの範囲の閾値電圧を有する。用途に応じて、低 V_T トランジスタおよび高 V_T トランジスタの閾値電圧の範囲は、より低くてもあるいはより高くてもよい。例えば、1ボルトの供給電圧を有する用途では、低 V_T トランジスタは、約200mV~300mVの範囲の閾値電圧を有し、高 V_T トランジスタは、約310mV~600mVの範囲の閾値電圧を有する。

【0006】 低 V_T のトランジスタは、より小さいゲート電圧で導通状態に切り換わるので、高 V_T トランジスタよりも高いスイッチング速度で動作する。しかし、トランジスタの閾値電圧を低くすると、トランジスタの漏れ電流および静的電力消費が増加する。高 V_T トランジスタを有する回路は、2つの理由、すなわち、1)ゲート電圧が導通を開始するのに必要なレベルに達するのにより時間がかかり、2)高 V_T トランジスタは低い飽和電流を有し、そのため高 V_T トランジスタが容量性負荷を充電するのにより時間がかかる、という2つの理由のため、低 V_T トランジスタを有する回路よりもスイッチング速度が遅い。高 V_T トランジスタは導通する漏れ電流が少なく、そのため低 V_T トランジスタよりも散逸する静的電力が少ない。

【0007】 一般に集積回路は、アクティブ動作モードと非アクティブ動作モードを有する。これらの動作モード中に、集積回路のトランジスタは「オン」または「オフ」のいずれかとなる。非アクティブ動作モードは、スタンバイまたはアイドル動作モードともいう。アイドル・モード刺激ベクトル(idle mode stimulus vectors)

ともいうアイドル・モード・ベクトルは、集積回路のアイドル動作モード中にどのトランジスタが「オン」または「オフ」であるのかを識別するために用いられる。アイドル・モード・ベクトルは、集積回路をアイドル動作モードにする入力の状態である。本発明に従って、アイドル・モード・ベクトルはトランジスタ閾値電圧の選択を最適化するために用いられる。

【0008】図1は、多重閾値電圧プロセスを利用して、集積回路のスピードを最適化し、例えば、スピードを増加させ、かつ漏れ電流を最適化し、例えば、漏れ電流を低下させる方法を示すフロー図10である。高速化および省電力化のために最適化されていない設計で集積回路を製造する際、すべてのトランジスタが同じ閾値調整注入(threshold adjust implant)を受けることは例外的ではない。しかし、回路設計が最適化されると、クリティカル(最長)経路(critical path)におけるトランジスタは識別され、低い閾値電圧のために特定のトランジスタが選択される。これら選択されたトランジスタは、修正されたインプラントを受ける。従って、少なくとも高閾値電圧トランジスタと低閾値電圧トランジスタの両方を有する集積回路が製造される。これらの閾値電圧を生成するために必要な注入エネルギーおよびドーパント濃度ならびに他の関連プロセス特性は、半導体処理技術の当業者にとって周知である。

【0009】図1の方法は、パーソナル・ワークステーションなどのコンピュータ・システム上のコンピュータ・ソフトウェアによって実行される。プロセッサ、メモリおよびコーディングを有するコンピュータ・システムは、図1のステップを実行するための手段を提供する。

【0010】一例として、本方法は、図2に示すようなデジタル集積回路20を設計するために利用できる。回路20は、例えば $V_{DD}=1.0$ ボルトの低供給電圧動作に変換された既存の設計でもよく、あるいは高スピード、低い供給電圧および低電力で動作しなければならない新たな設計でもよい。本例に従って、デジタル集積回路20は、複数の入力21, 22, 23, 24および出力26を有するNANDゲートである。具体的には、NANDゲート20は、4つのpチャネル・トランジスタ27, 28, 29, 31を有し、それぞれのトランジスタはゲート電極と、ソース電極と、ドレイン電極とを有する。トランジスタ27, 28, 29, 31のソース電極は互いに接続され、かつ例えば V_{DD} などの電源電圧または動作電位のソースを受けるべく結合される。トランジスタ27, 28, 29, 31のドレイン電極は互いに接続され、NANDゲート20の出力26を形成する。

【0011】さらに、NANDゲート20は、4つのnチャネル・トランジスタ32, 33, 34, 36を有し、それぞれのトランジスタはゲート電極と、ソース電極と、ドレイン電極とを有する。トランジスタ32のソース電極は、トランジスタ27, 28, 29, 31のド

レイン電極に接続され、トランジスタ32のドレイン電極は、トランジスタ33のソース電極に接続される。トランジスタ33のドレイン電極は、トランジスタ34のソース電極に接続され、トランジスタ34のドレイン電極は、トランジスタ36のソース電極に接続される。トランジスタ36のドレイン電極は、例えば、接地電位などの動作電位のソースを受けるべく結合される。

【0012】トランジスタ27, 32のゲートは共通に接続され、入力21を形成する。トランジスタ28, 33のゲートは共通に接続され、入力22を形成する。同様に、トランジスタ29, 34のゲートは共通に接続され、トランジスタ31, 36のゲートは共通に接続され、それぞれ入力23, 24を形成する。入力21, 22, 23, 24は、入力信号SIG1, SIG2, SIG3, SIG4をそれぞれ受ける。

【0013】NANDゲート20などのNANDゲートの動作は、当業者に周知である。

【0014】再度図1を参照して、例えばNANDゲート20などの集積回路を設計する際の開始ステップ11では、集積回路のトランジスタの総リスト(netlist)を与える。総リストは、閾値電圧を含め、構築のために必要な各トランジスタについて多数のパラメータを定める。本例では、NANDゲート20のすべてのトランジスタは、初期閾値電圧500mVを有する。

【0015】ステップ12において、設計用のアイドル・モード・ベクトルが与えられ、集積回路の入力に印加される。例えば、NANDゲート20の設計用のアイドル・モード・ベクトルは、(SIG1=論理「0」, SIG2=論理「0」, SIG3=論理「0」, SIG4=論理「0」)であり、すなわち、NANDゲート20をアイドル・モードにするためには、入力21, 22, 23, 24は論理「0」の入力信号を受ける。NANDゲート20のトランジスタの状態は、論理シミュレータを利用してシミュレーションされる。NANDゲート20の総リストおよびアイドル・モード・ベクトルは論理シミュレータに入力され、論理シミュレータはアイドル・モード中のトランジスタの状態を表示する。

【0016】ステップ13において、アイドル動作モード中に「オフ」であり、かつ接地電位への電流経路を防ぐことができる集積回路のトランジスタが識別される。本例に従って、アイドル・モード・ベクトルを利用して、NANDゲート20のトランジスタ36が識別される。トランジスタ36は、アイドル・モード中に「オフ」であり、かつ接地電位への電流経路を防ぐ。

【0017】ステップ14は、集積回路のトランジスタの閾値電圧を調整あるいは修正することを含む。例えば、ステップ13において識別されたトランジスタ、すなわち、アイドル・モード中に「オフ」であり、かつ接地電位への電流経路を防ぐことができるトランジスタに、高閾値電圧が割り当てられる。接地電位に接続され

るトランジスタは、接地電位への経路を防ぐことができる。アイドル・モード中に「オン」であるか、あるいは接地電位への経路を防ぐことのできない集積回路内の残りのトランジスタには、低閾値電圧が割り当てられる。トランジスタの閾値電圧は、トランジスタの総リスト内のトランジスタの閾値電圧パラメータを修正することによって、閾値電圧が割り当てられる。図2の集積回路の例では、NANDゲート20のトランジスタ36の閾値電圧は、約750mVの高閾値電圧に設定され、トランジスタ27, 28, 29, 31, 32, 33, 34の閾値電圧は、約350mVの低閾値電圧に設定される。すなわち、トランジスタ36の閾値電圧は、500mVの初期閾値電圧から750mVの高閾値電圧に修正される。同様に、トランジスタ27, 28, 29, 31, 32, 33, 34は、500mVの初期閾値電圧から350mVの低閾値電圧に修正される。この結果、NANDゲート20の伝播遅延が低下し、NANDゲート20の漏れ電流が低下する。

【0018】ステップ16において、集積回路のトランジスタのサイズ、例えば、トランジスタのゲート幅は、集積回路のあらかじめ定められたタイミングおよび電力条件を満たすために調整される。あらかじめ定められたタイミングおよび電力条件は、集積回路の設計中に定められ、集積回路の好適なスピードおよび漏れ電流を決定する。

【0019】ステップ17において、集積回路の測定され、シミュレーションされ、あるいは計算されたタイミングおよび電力は、あらかじめ定められたタイミングおよび電力条件と比較される。なお、ステップ16および17は、集積回路のスピードおよび漏れ電流をさらに最適化するための任意のステップであることに留意されたい。

【0020】図3は、本発明の実施例に従って設計・製造されたデジタル集積回路50の概略図である。集積回路20と同様に、集積回路50は、例えば、 $V_{DD}=1.0$ ボルトの低供給電力動作に変換された既存の設計でもよく、あるいは高速、低供給電圧および低電力の新たな設計でもよい。D型フリップフロップ52は、D入力にて信号SIG Aを受け、クロック入力にて信号CLKを受ける。ノード53におけるフリップフロップ52のQ出力は、信号反転SIG Aを与えるためのインバータ59として動作するトランジスタ54, 56のゲートに結合される。トランジスタ58, 60, 62, 64の組み合わせは、信号反転SIG AおよびSIG Bを受けるNANDゲート61として動作する。ノード65におけるNANDゲート61の出力は、クロック信号CLKにตอบสนองしてOUT1に反転（反転A・B）をクロックして出力し、フリップフロップ66のD入力に印加する。また、フリップフロップ52のQ出力は、ノード71にて信号反転SIG Aを与えるためのインバータ7

3として動作するトランジスタ68, 70を介して中継される。D型フリップフロップ72は、クロック信号CLKにตอบสนองしてインバータ73からの信号反転SIG AをOUT2にクロックする。

【0021】集積回路50のトランジスタのそれぞれは、閾値電圧を有する。上記の多重電圧プロセスなどの多重閾値電圧プロセスを利用することにより、集積回路50のトランジスタは異なる閾値電圧を有するように設定できる。

【0022】図3に示す集積回路50の回路設計のような回路設計では、動作スピードを最大限にし、しかも動的および静的電力消費を最小限に抑えることが目的となる。動的電力は、供給電圧を $V_{DD}=1.0$ ボルトに単純に低減することによって軽減できる。集積回路の最大動作スピードは、一つまたはそれ以上のクリティカル経路を介したタイミングによって一般に決まる。クリティカル経路は、回路素子によって分離された集積回路内の2つのノード間で定められ、ここでこれらの素子を介した伝播遅延は、例えば、クロック信号に対して、確立された経路内のタイミング条件を上回るか、恐らくかろうじて満たす。スピードを増加させる一つの方法として、クリティカル経路内のトランジスタの閾値電圧を低下させる方法がある。より低い V_T を有するトランジスタは、より高速にスイッチングして、集積回路のクリティカル経路を介した伝播遅延を最小限に抑える。

【0023】クリティカル経路の一つまたはそれ以上のトランジスタは、低い V_T を有するように、ひいてはより高速にスイッチングするように調整される。低 V_T のトランジスタはアイドル動作モード中により多くの静的電力を消費するが、この電力の浪費は、クリティカル経路を介したスピードの向上の方が有利なトレードオフとして受け入れられる。さらに、アイドル・モード・ベクトルは、アイドル動作モード中の静的電力消費を最小限に抑えるために用いられる。従って、より多くの静的電力を消費するがより高速にスイッチングするクリティカル経路内の低 V_T トランジスタと、静的電力の消費は少ないが、スイッチングが遅いクリティカル経路内の高 V_T トランジスタとの間にバランスが達成される。その結果、集積回路は、全体的な電力消費に対して最小限の影響で、より高い周波数にて動作するように最適化される。

【0024】図4は、本発明の別の実施例に従って集積回路設計用に閾値電圧を選択する方法を示すフロー図80である。開始ステップ81において、例えば、集積回路50（図3）などの集積回路を設計するため、集積回路のトランジスタの総リストが与えられる。図3の集積回路50を設計する本例に従って、集積回路50のすべてのトランジスタは500mVの初期閾値電圧を有する。

【0025】ステップ82において、設計用のアイドル

・モード・ベクトルが与えられ、集積回路の入力に印加される。一例として、集積回路50の設計用のアイドル・モード・ベクトルは、(SIG A=論理「0」、SIG B=論理「0」)である。

【0026】ステップ83において、アイドル動作モード中に「オフ」であり、かつ接地電位への電流経路を防ぐことができる集積回路50のトランジスタが識別される。本例に従って、アイドル・モード・ベクトルを利用して、トランジスタ56, 62, 70が識別される。トランジスタ56, 62, 70は、アイドル・モード中に「オフ」であり、かつ接地電位への電流経路を防ぐ。

【0027】ステップ84は、集積回路50のトランジスタの閾値電圧を調整することを含む。例えば、ステップ83において識別されたトランジスタ、すなわち、アイドル・モード中に「オフ」であり、かつ接地電位への電流経路を防ぐことができるトランジスタに、高閾値電圧が割り当てられる。集積回路50内の残りのトランジスタには、低閾値電圧が割り当てられる。例えば、集積回路50のトランジスタ56, 62, 70には約750mVの高閾値電圧が割り当てられ、トランジスタ54, 58, 60, 64, 68には約350mVの低閾値電圧が割り当てられる。この結果、伝播遅延が低下し、集積回路の漏れ電流が低下する。

【0028】ステップ86において、集積回路50内のクリティカル経路が識別される。クリティカル経路とは、回路素子によって分離された2つのノード間の伝播遅延が、一般に外部クロック周波数CLKに対して設定される最大タイミングを上回るか、あるいは恐らくかうじて満たすところの経路である。最長の伝播遅延は、一般にクリティカル経路である。クリティカル経路を識別する方法について、図5においてさらに説明する。本例では、トランジスタ54, 56, 58, 60, 64はクリティカル経路として識別され、インバータ73およびトランジスタ62は非クリティカル経路として識別される。

【0029】ステップ87において、高閾値電圧を有するクリティカル経路内のトランジスタが識別あるいは選択される。例えば、集積回路50のトランジスタ56が識別される。

【0030】ステップ88は、ステップ87において識別されたトランジスタ、すなわち、クリティカル経路内にあり、かつ高閾値電圧を有する集積回路50のトランジスタ、の閾値電圧を調整することを含む。例えば、クリティカル経路内の選択されたトランジスタ56の閾値電圧は、低閾値電圧に設定される。トランジスタ56に低閾値電圧を割り当てることにより、トランジスタ56のスイッチング速度は増加し、それにより集積回路50のタイミング性能を改善する。トランジスタ62, 70は非クリティカル経路内にあり、静的電力消費を節約するために高閾値電圧で維持される。これらのトランジス

タはクリティカル経路にないので、遅いスピードは許容可能とみなされる。

【0031】ステップ89において、集積回路50のトランジスタのサイズ、例えば、トランジスタのゲート幅は、集積回路のあらかじめ定められたタイミングおよび電力条件を満たすように調整される。

【0032】ステップ91において、集積回路50の測定が行われ、シミュレーションされ、あるいは計算されたタイミングおよび電力は、あらかじめ定められたタイミングおよび電力条件と比較され、回路設計が所望の動作パラメータを満たすことを確認する。なお、ステップ89および91は、集積回路のスピードおよび漏れ電流をさらに最適化するための任意のステップであることに留意されたい。さらに別のオプションでは、ステップ86においてクリティカルと判定された経路が実際に全体的な回路性能にとってクリティカルである事を確認する。伝播経路をクリティカルであると誤って識別することもありうる。すべてのクリティカル経路が回路設計の総合タイミング条件に対して同じ影響を及ぼすとは限らない。タイミング影響が全体的な仕様内であれば、伝播経路は、その関連する高閾値電圧および低電力消費で、非クリティカル経路として再分類されることがある。

【0033】方法80のステップについて集積回路50を一例として説明したが、これは本発明を制限するものではない。方法80のステップは、任意の集積回路にも適用できる。

【0034】図5を参照して、ステップ86(図4)、すなわち、集積回路50(図3)のクリティカル経路を識別するステップをさらに詳説するフロー図100を示す。具体的には、フロー図100はステップ101を含み、ここでまずクロック信号CLKの動作周波数に、例えば、10.0MHzのクロック周波数が割り当てられる。ステップ102において、回路機能に応じて多数のタイミング制約(timing constraints)が設定される。一般に、タイミング制約は、特定の経路におけるトランジスタを介した許容可能な遅延を考慮に入れた相対的あるいは絶対的測定として、クロック信号に対する特定のノードにおける信号の着信時間を定める。例えば、一つのタイミング制約では、信号は、フリップフロップ52がクロックされてから次のCLKクロック信号の立ち下りエッジの5.0ナノ秒(ns)前にノード65に着信する。同様に、他のタイミング制約では、信号は次のCLKクロック信号の立ち下りエッジの5.0ナノ秒(ns)前にノード71に着信する。

【0035】ステップ104において、集積回路の第1ノードと第2ノードとの間の回路素子の伝播遅延が加算される。例えば、インバータ59、NANDゲート61およびインバータ73を介した伝播遅延のそれぞれが10.0nsとして与えられると、ノード53と65との間の伝播遅延の和は20.0nsとなり、ノード53と

71との間の伝播遅延は10.0nsとなる。フリップフロップ52, 66, 72を介した遅延は、それぞれ10.0nsとして与えられる。

【0036】ステップ106において、中間回路素子の伝播遅延がノード65に着信する信号のタイミング制約を上回る場合、ノード53と65との間の経路がクリティカルとして識別される。また、タイミング制約がcausingて満たされており、かつ回路が温度などの外的影響に起因するプロセス変化や動作ドリフトに対処するために何らかの堅牢性を必要とする場合にも、経路はクリティカルとして識別される。クロック信号CLKが30.0ns毎に立ち上がりエッジを有する場合、信号SIG Aはフリップフロップ52, インバータ59およびNANDゲート61(30.0nsの全遅延)を介して伝播できず、30ns後に生じるクロック信号CLKの次の立ち上がりエッジより5.0ns前にノード65に着信できないので、ノード53と65との間の経路はクリティカルである。ノード53と65との間で所定のタイミング条件は満たされず、そのため経路はクリティカルである。

【0037】ステップ108において、中間回路素子の伝播遅延の和がノード71に着信する信号のタイミング制約内なので、ノード53と71との間の経路は非クリティカルとして識別される。信号SIG Aは、フリップフロップ52およびインバータ73(20.0nsの全遅延)を介して伝播し、30.0ns後に着信するクロック信号CLKの次の立ち上がりエッジより少なくとも5.0ns前にノード71に着信し、それによりタイミング制約を満たす。実際、追加の5.0nsのマージンにより、非クリティカル経路内のトランジスタの閾値電圧はさらに増加でき、上記のように更なる静的電力節約

を可能にする。

【0038】以上、集積回路を設計する方法が提供されることが理解されよう。本発明の利点は、本発明に従って設計された集積回路における伝播遅延を低減する方法を提供することである。さらに、本発明は、漏れ電流を最小限に抑え、集積回路の全体的な電力消費を低減する。

【図面の簡単な説明】

【図1】本発明の第1実施例による集積回路を設計する方法を示すフロー図である。

【図2】本発明によって製造されたNANDゲートの概略図である。

【図3】本発明によって製造されたデジタル集積回路の概略図である。

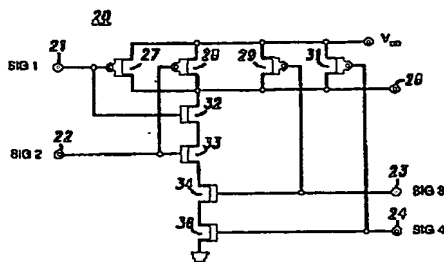
【図4】本発明の第2実施例による集積回路を設計する方法を示すフロー図である。

【図5】集積回路におけるクリティカル経路を識別する方法を示すフロー図である。

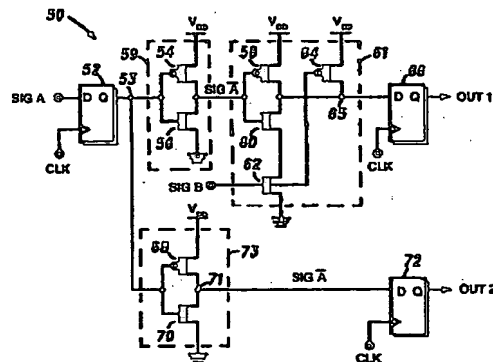
【符号の説明】

- 20 デジタル集積回路(NANDゲート)
- 21, 22, 23, 24 入力
- 26 出力
- 27, 28, 29, 31 pチャネル・トランジスタ
- 32, 33, 34, 36 nチャネル・トランジスタ
- 50 デジタル集積回路
- 52, 66, 72 フリップフロップ
- 53, 65, 71 ノード
- 54, 56, 58, 60, 62, 64, 68, 70 トランジスタ
- 59, 73 インバータ
- 61 NANDゲート

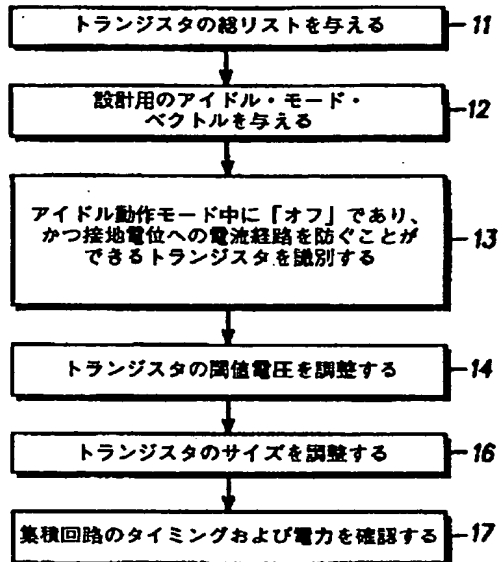
【図2】



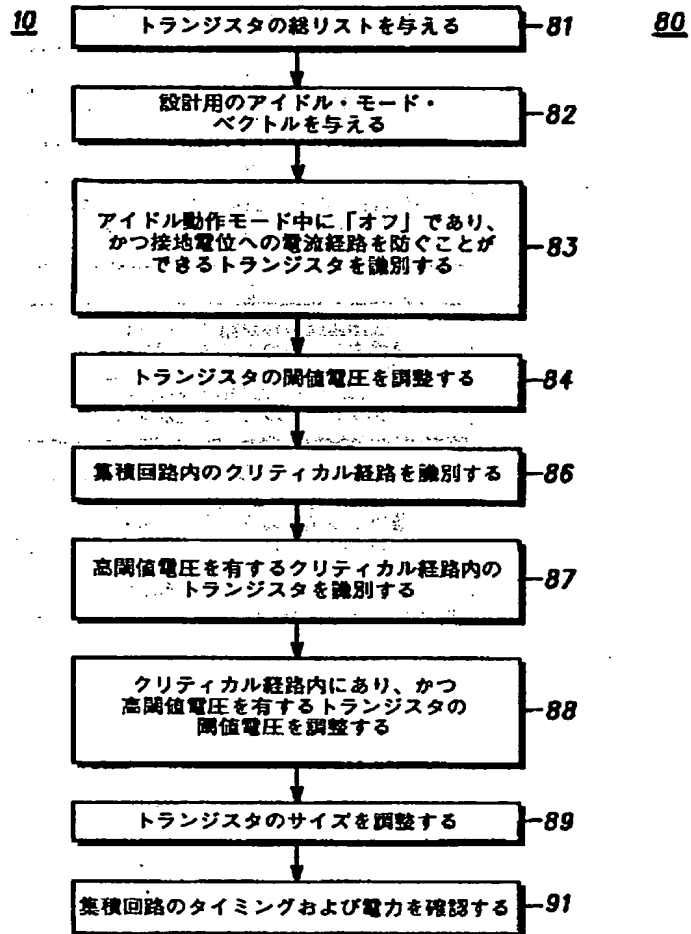
【図3】



【図 1】



【図 4】



【図5】

